

# DRIVING DEVICE FOR LIQUID CRYSTAL DISPLAY DEVICE

**Publication number: JP10161592**

**Publication date:** 1998-06-19

**Inventor:** YON HI GYUN

**Applicant:** LG ELECTRONICS INC

**Classification:**

**- International:** **G02F1/133; G09G3/36; G02F1/13; G09G3/36; (IPC1-7):**  
**G09G3/36; G02F1/133**

**- European:**

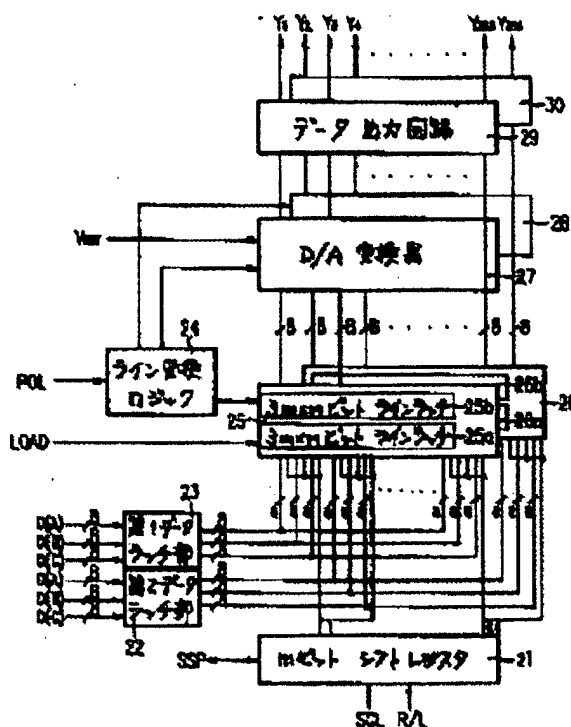
**Application number: JP19960310263 19961121**

**Priority number(s):** JP19960310263 19961121

**Report a data error here**

## Abstract of JP10161592

**PROBLEM TO BE SOLVED:** To reduce a main driving frequency by reducing the frequency of a first clock signal as compared with the frequency of a source video signal by the set number of a video signal. **SOLUTION:** The source clock SCL of the half frequency of a frequency is impressed on an m-bit shift register 21, which generates latch pulses. Moreover, data separated into odd numbers and even numbers at the outside are respectively latched into first and second latch parts 22, 23. Three kinds of latched n-bit odd number data and three kinds of latched n-bit even number data are respectively latched in 3m× n-bit first latches 25a, 26a of odd and even lines by the latch pulses of the shift register 21. Moreover, line data stored in 3m× n-bit second latches 25b, 26b of odd numbers and even numbers select voltages being in two reference voltages by D/A converters 27, 28. At this time, a line converting logic 24 changes changes over polarities of voltages. Then, selected reference voltages are impressed on liquid crystal via data output circuits 29, 30 as stabilized voltages.



(11)特許出願公開番号

特開平10-161592

(43)公開日 平成10年(1998)6月19日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G O 9 G 3/36

G O 9 G 3/36

G 0 2 F 1/133

550

G O 2 F 1/133

550

審査請求 未請求 請求項の数20 OL (全 7 頁)

(21) 出願番号

特願平8-310263

(22) 出願日

平成8年(1996)11月21日

(71)出願人 590001669

エルジー電子株式会社

大韓民国，ソウル特別市永登浦区汝矣島洞  
20

(72)発明者 ヨン ヒ ギュン

大韓民国 ソウル ドボンーグ ドボンー  
ドン 568-43

(74)代理人 弁理士 稲葉 良幸 (外2名)

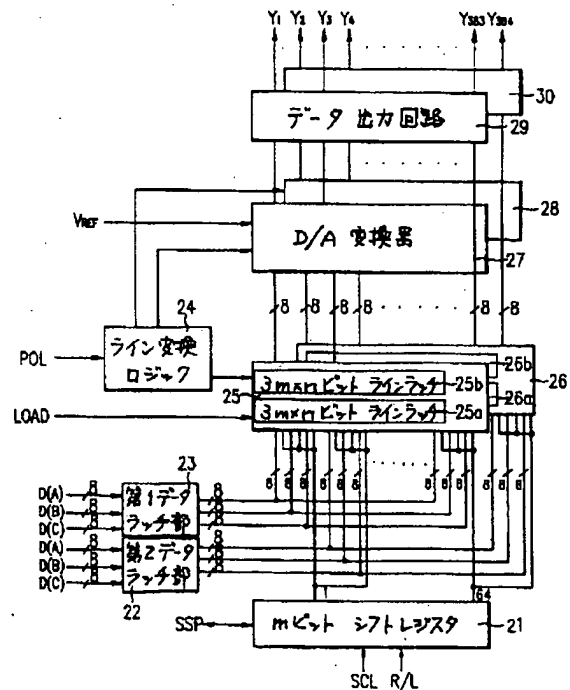
(54) 【発明の名称】 液晶表示装置の駆動装置

(57) 【要約】

(修正有)

【課題】 高周波で動作されることにより発生する問題点を解決し、メイン駆動周波数を減少させた液晶表示装置のデータドライバを提供する。

【解決手段】 ラッチクロック信号を出力し、第1クロック信号に相応するスタート信号を受信するためのm（整数）-ビットレジスタ回路21と、それぞれn（整数）-ビットデータを有する全ての映像信号を同時に受信し、ソース映像信号に当たる少なくとも2セットの3種の映像信号をラッチし出力するデータラッチ回路22、23と、第3信号発生回路のロード信号に基づいて映像信号を貯蔵及び出力し、前記レジスタのラッチクロック信号に相応する前記データラッチ回路の映像信号をラッチするラインラッチ回路25と、ラインラッチの映像信号をアナログ信号に変換するD/A変換回路27と、D/A変換回路からアナログ信号を出力させるデータ出力回路29とを備えた単一集積回路と；で構成されることを特徴とする。



## 【特許請求の範囲】

【請求項1】 スタート信号を外部に出力する第1信号発生回路と、

第1クロック信号を外部に出力する第2信号発生回路と、

ロード信号を外部に出力する第3信号発生回路と、  
周波数を有するソース映像信号を外部的に発生させるための発生手段と、

前記第1クロック信号に相応するスタート信号を受信し、ラッチクロック信号を出力する $m$ （整数）-ビットレジスタ回路と、それぞれ $n$ （整数）-ビットデータを有する前記全ての映像信号を同時に受信し、ソース映像信号に当たる少なくとも2セットの3種の映像信号をラッチし出力するデータラッチ回路と、前記第3信号発生回路のロード信号に基づいて映像信号を格納及び出力し、前記レジスタのラッチクロック信号に相応する前記データラッチ回路の映像信号をラッチするラインラッチ回路と、ラインラッチの映像信号をアナログ信号に変換するD/A変換回路と、D/A変換回路からアナログ信号を出力させるデータ出力回路とを備えた単一集積回路と、を備え、

前記第1クロック信号の周波数が、3種の映像信号のセット数により、前記ソース映像信号の周波数に比べて減少されるようにすることを特徴とする液晶表示装置の駆動装置。

【請求項2】 前記 $m$ -ビットレジスタ回路は、シフトレジスタを備えることを特徴とする請求項1に記載の液晶表示装置の駆動装置。

【請求項3】 極性を有する信号を外部に出力するための第4信号発生回路と、データラッチから映像信号の極性を反転させる極性反転回路とを更に備えることを特徴とする請求項1に記載の液晶表示装置の駆動装置。

【請求項4】 前記 $m$ -ビットシフトレジスタ回路、前記データラッチ回路、前記ラインラッチ回路、前記D/A変換回路、前記データ出力回路、前記極性反転回路は、単一集積回路であることを特徴とする請求項3に記載の液晶表示装置の駆動装置。

【請求項5】 第1、第2ピクセルに相応する映像信号は、少なくとも2セットであることを特徴とする請求項1に記載の液晶表示装置の駆動装置。

【請求項6】 前記データラッチ回路は、少なくとも2つのデータラッチを備えることを特徴とする請求項1に記載の液晶表示装置の駆動装置。

【請求項7】 前記ラインラッチ回路は、少なくとも2つの $(3m \times n)$ ラインラッチを備えることを特徴とする請求項1に記載の液晶表示装置の駆動装置。

【請求項8】 前記D/A変換回路は、少なくとも2つのD/A変換器を備えることを特徴とする請求項1に記載の液晶表示装置の駆動装置。

【請求項9】 前記ラインラッチ回路は、少なくとも2

つのラインメモリを備えることを特徴とする請求項1に記載の液晶表示装置の駆動装置。

【請求項10】 前記データラッチ回路は、それぞれ $n$ -ビットデータを有する3つの映像信号をラッチし出力する3つ以上のラッチ部を備えることを特徴とする請求項1に記載の液晶表示装置の駆動装置。

【請求項11】 ソーススタート信号を外部に出力する第1信号発生回路と、

第1クロック信号を外部に出力する第2信号発生回路と、

ロード信号を外部に出力する第3信号発生回路と、

極性信号を外部に出力する第4信号発生回路と、

ラッチクロック信号を出力し、前記第1クロック信号に相応する前記ソーススタート信号をシフティングする $m$ （整数）-ビットレジスタ回路と、各映像信号は $n$ （整数）-ビットデータを有して、各セットの映像信号は液晶表示装置の1つのピクセルを表示するようにした全ての映像信号を同時に受信し、少なくとも2セットの3種の映像信号をラッチし出力するデータラッチ回路と、前記

第3信号発生回路のロード信号に基づいて映像信号を貯蔵及び出力し、前記レジスタのラッチクロック信号に相応する前記データラッチ回路の映像信号をラッチする $3m \times n$ ラインラッチ回路と、データラッチから映像信号の極性を反転させる極性反転回路と、ラインラッチの映像信号をアナログ信号に変換するD/A変換回路と、前記D/A変換回路からアナログ信号を出力させるデータ出力回路とを備えた単一集積回路と、で構成され、前記3種の映像信号のセット数により、駆動装置の駆動周波数が減少されるようにすることを特徴とする液晶表示装置の駆動装置。

【請求項12】 前記 $n$ -ビット映像信号は、奇数と偶数とに分割されることを特徴とする請求項11に記載の液晶表示装置の駆動装置。

【請求項13】 前記データラッチ回路は、少なくとも2つのデータラッチ部を備えることを特徴とする請求項11に記載の液晶表示装置の駆動装置。

【請求項14】 前記ラインラッチ回路は、少なくとも2つの $3m \times n$ ラインラッチ部を備えることを特徴とする請求項11に記載の液晶表示装置の駆動装置。

【請求項15】 前記D/A変換回路は、少なくとも2つのD/A変換器を備えることを特徴とする請求項11に記載の液晶表示装置の駆動装置。

【請求項16】 前記ラインラッチ回路は、少なくとも2つのラインメモリを備えることを特徴とする請求項11に記載の液晶表示装置の駆動装置。

【請求項17】 前記データラッチ回路は、それぞれ $n$ -ビットデータを有する3つの映像信号をラッチし出力する3つのラッチ部を備えることを特徴とする請求項11に記載の液晶表示装置の駆動装置。

【請求項18】 前記駆動周波数を2倍減少させるため

に液晶表示装置を駆動する第2駆動装置を更に備えることを特徴とする請求項11に記載の液晶表示装置の液晶表示装置の駆動装置。

【請求項19】 3種の映像信号は、各ピクセルのR、G、B値であることを特徴とする請求項11に記載の液晶表示装置の液晶表示装置の駆動装置。

【請求項20】 ソーススタート信号を外部に出力する第1信号発生回路と、

第1クロック信号を外部に出力する第2信号発生回路と、

ロード信号を外部に出力する第3信号発生回路と、

極性信号を外部に出力する第4信号発生回路と、

第1クロック信号に相応するソーススタート信号をシフティングさせ、サンプリングクロック信号を出力するレジスタ回路と、液晶表示装置のピクセルにそれぞれ表れる全ての映像信号を同時に受信し、少なくとも2セットの3種の映像信号をサンプリングし出力するデータサンプリング回路と、前記第3信号発生回路のロード信号に基づいて映像信号を貯蔵及び出力し、前記シフトレジスタのラッチクロック信号に相応する前記データラッチの映像信号をラッチし、前記第3信号発生回路のロード信号に相応する前記映像信号を貯蔵して出力する $3m \times n$ ラインラッチ回路と、データラッチから映像信号の極性を反転させる極性反転回路と、前記ラインラッチの映像信号をアナログ信号に変換するD/A変換回路と、前記D/A変換回路からアナログ信号を出力させるデータ出力回路とを備えた単一集積回路と、で構成され、前記3種の映像信号のセット数により、駆動装置の駆動周波数が減少されるようにすることを特徴とする液晶表示装置の駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置の駆動装置に関するもので、特に液晶表示装置のデータドライバに関するものである。

【0002】

【従来の技術】一般的なアクティブマトリックス型(Active Matrix)液晶表示装置は、図1に示すように、ゲートライン(G1~Gn)及びデータライン(D1~Dn)と、各画素をスイッチングする薄膜トランジスタと、画素電極とが配列されている下板と、色相を示すためのカラーフィルタ及び共通電極で構成される上板と、そして前記2枚の上下板の間に埋められている液晶で構成される液晶パネル1と、前記液晶パネル1の各ゲートライン(G1~Gn)に駆動信号を順次に印加するゲートドライバ2と、前記液晶パネル1の各データライン(D1~Dn)に映像データを印加するデータドライバ3とを備える。

【0003】このように構成された一般的な液晶表示装置において、最近では液晶パネル1の大型化、高解像度化

が指向されている。このように、大型化、高解像度化されていくと、液晶表示装置を駆動するために各ドライバ2、3の駆動周波数が高くなるが、このような高周波で直接駆動可能なドライバICの開発は難しい。又、直接可能なドライバICが開発されても、高周波EMIの問題のため、直接駆動が不可能である。

【0004】よって、図2に示すように、奇数ラインと偶数ラインとに分離して液晶パネル1の両側にデータドライバ3a、3bを形成し、駆動周波数を半減させたことがあった。しかし、図2のような液晶表示装置においては、ドライバが両側に形成されるため、液晶表示装置全体で実際に映像をディスプレイする液晶パネルの占める面積が相対的に狭くなり、これにより、大型画面を得るには限界があった。

【0005】上述した従来の液晶表示装置の図1のデータドライバ3を添付図面に基づき説明する。

【0006】図3は、従来の液晶表示装置のデータドライバの構成ブロック図である。

【0007】従来の液晶表示装置のデータドライバは、ソーススタートパルス(SSP)をソースパルスクロック(SCL)によりシフトさせてラッチクロックを出力させるmビットシフトレジスタ11と、ソースクロック(SCL)によりディスプレイデータの3種(DA(n)、DB(n)、DC(n))をラッチ(Latch)させて出力するデータラッチ部12と、反転(Inversion)のために外部のPOL信号により水平区間ごとに極性を切り換えるライン変換ロジック(Line Conversion Logic)14と、前記シフトレジスタ11から出力されたラッチクロックにより前記データラッチ部12から出力された一水平ラインの全てのディスプレイデータを外部のロード(LOAD)信号及び前記ライン変換ロジック14の出力によりライン別にラッチさせ貯蔵する $3m \times n$ ビットの2ラインラッチ部13と、前記ラインラッチ部12から出力されたデータを液晶に印加するアナログ信号に変換するために外部基準電圧により形成された2n個のレベルのうちの1つの電圧を選択して出力するD/A変換器15と、前記D/A変換器15から出力される信号を充分な駆動能力と出力電圧偏差の少ない安定された電圧に増幅して液晶に印加するデータ出力回路16とを備える。

【0008】このように構成された従来のデータドライバの動作について説明する。

【0009】図4は、従来のデータドライバの動作タイミング図である。

【0010】まず、シフトレジスタ11は、ソースクロック(SCL)とソーススタートパルス(SSP)を入力してm個のラッチクロック(SR01、SR02、SR03、・・・、SR0m)( $m=64$ )を順次にラインラッチ部13へ出力する。ソースクロック(SCL)は、XGAで約65MHzの周波数を有するクロック信号である。

【0011】そして、データラッチ部12は、nビット

ディスプレイデータの3種(DA(n), DB(n), DC(n))を前記ソースクロック(SCL)の下降エッジにラッチさせてラインラッチ部13へ出力する。したがって、ラインラッチ部13は、前記ソースクロックの下降エッジにラッチされたnビットディスプレイデータを前記シフトレジスタ11から出力されたラッチクロック(SR01, SR02, SR03, ..., SR0m)により3m×nビットの1番目のラインラッチ部13aにラッチさせる。ラインデータは一水平ラインのディスプレイデータを貯蔵した後に外部のロード(LOAD)信号により一度に2番目のラインラッチ部13bへ貯蔵される。同時に次のラインデータはシフトレジスタ11から出力されたラッチクロック(SR01, SR02, SR03, ..., SR0m)により1番目のラインラッチ部にラッチされる。このような動作は繰り返し行われる。

【0012】このようにラインラッチ部13により貯蔵されたラインデータはD/A変換器15へ出力される。

【0013】D/A変換器15は、内部のデータで外部基準電圧(VREF)により形成された2n個のレベルのうちの前記ラインラッチ部13から入力されたラインデータに相応する1つの電圧を選択して出力する。この際、外部のPOL信号によりライン変換ロジック14はラインごとの極性を転換して反転を容易にする。

【0014】前記D/A変換器15から選択されて出力されたアナログ信号はデータ出力回路16により充分な駆動能力と出力電圧偏差の少ない安定な電圧として液晶に印加されてディスプレイされる。

【0015】

【発明が解決しようとする課題】しかし、このような従来のデータドライバにおいては、次のような問題点があった。

【0016】最近の液晶表示装置の大画面・高解像度の傾向にしたがい、液晶ノートパーソナルコンピューター、モニターなどの応用において、最大の難題は、解像度に応ずる高い動作周波数の問題(XGAは65MHz、EWSは107MHz)であり、既存のデータドライバICの動作周波数は5V駆動時に55MHz(3.3V駆動時に40MHz)であるため、直接駆動が不可能である。又、直接駆動可能なドライバICが開発されなくても、高周波EMIの問題のため、直接駆動が不可能である。

【0017】一方、上記のような従来のデータドライバの外部にラインメモリを設け、データの2分割駆動、又はIC別分割駆動を介して周波数を1/2に低くすることはできる。しかし、この場合にはラインメモリの使用により製品のコスト及び重量が増加する。したがって、消費電力及び体積も増加する。

【0018】本発明は、前述した問題点を解決するためのもので、その目的は、高周波で動作されることにより発生する問題点を解決し、メイン駆動周波数を減少させ

た液晶表示装置のデータドライバを提供することにある。

【0019】

【課題を解決するための手段】このような目的を達成するための本発明の液晶表示装置の駆動装置は、スタート信号を外部に出力する第1信号発生回路と；第1クロック信号を外部に出力する第2信号発生回路と；ロード信号を外部に出力する第3信号発生回路と；周波数を有するソース映像信号を外部に出力させるための発生手段と；そしてラッチクロック信号を出力し、前記第1クロック信号に相応するスタート信号を受信するためのm(整数)-ビットレジスタ回路と、それぞれn(整数)-ビットデータを有する前記全ての映像信号を同時に受信し、ソース映像信号に当たる少なくとも2セットの3種の映像信号をラッチし出力するデータラッチ回路と、前記第3信号発生回路のロード信号に基づいて映像信号を貯蔵及び出力し、前記レジスタのラッチクロック信号に相応する前記データラッチ回路の映像信号をラッチするラインラッチ回路と、ラインラッチの映像信号をアナログ信号に変換するD/A変換回路と、D/A変換回路からアナログ信号を出力させるデータ出力回路とを備えた単一集積回路と；で構成され、前記第1クロック信号の周波数が3種の映像信号のセット数により前記ソース映像信号の周波数に比べて減少されるようにすることを特徴とする。

【0020】又、本発明の液晶表示装置の駆動装置は、ソーススタート信号を外部に出力する第1信号発生回路と；第1クロック信号を外部に出力する第2信号発生回路と；ロード信号を外部に出力する第3信号発生回路と；極性信号を外部に出力する第4信号発生回路と；そしてラッチクロック信号を出力し、前記第1クロック信号に相応する前記ソーススタート信号をシフティングするm(整数)-ビットレジスタ回路と、各映像信号はn(整数)-ビットデータを有し、各セットの映像信号はLCDの1つのピクセルを表示するようにした全ての映像信号を同時に受信し、少なくとも2セットの3種の映像信号をラッチし出力するデータラッチ回路と、前記第3信号発生回路のロード信号に基づいて映像信号を貯蔵及び出力し、前記レジスタのラッチクロック信号に相応する前記データラッチ回路の映像信号をラッチする3m×nラインラッチ回路と、データラッチから映像信号の極性を反転させる極性反転回路と、ラインラッチの映像信号をアナログ信号に変換するD/A変換回路と、前記D/A変換回路からアナログ信号を出力させるデータ出力回路とを備えた単一集積回路と；で構成され、前記3種の映像信号のセット数により駆動装置の駆動周波数が減少されるようにすることを特徴とする。

【0021】又、本発明の液晶表示装置の駆動装置は、ソーススタート信号を外部に出力する第1信号発生回路と；第1クロック信号を外部に出力する第2信号発生回

路と；ロード信号を外部に出力する第3信号発生回路と；極性信号を外部に出力する第4信号発生回路と；そして第1クロック信号に相応するソーススタート信号をシフティングさせ、サンプリングクロック信号を出力するレジスタ回路と、LCDピクセルにそれぞれ表れる全ての映像信号を同時に受信し、少なくとも2セットの3種の映像信号をサンプリングし出力するデータサンプリング回路と、前記第3信号発生回路のロード信号に基づいて映像信号を貯蔵及び出力し、前記シフトレジスタのラッチクロック信号に相応する前記データラッチの映像信号をラッチし、前記第3信号発生回路のロード信号に相応する前記映像信号を貯蔵して出力する $3m \times n$ ラインラッチ回路と、データラッチから映像信号の極性を反転させる極性反転回路と、前記ラッチ回路の映像信号をアナログ信号に変換するD/A変換回路と、前記D/A変換回路からアナログ信号を出力させるデータ出力回路とを備えた単一集積回路と；で構成され、前記3種の映像信号の数により駆動装置の駆動周波数が減少されるようにすることを特徴とする。

#### 【0022】

【発明の実施の形態】発明の実施の形態1。以下、図面に基づき本発明の実施の形態1を説明する。

【0023】図5は、データラインの奇数部分と偶数部分に印加されるデータを分離して並列に処理することによりデータドライバの動作周波数を半減させた実施の形態1のIC構造であり、図7は、その動作の波形である。なお、図5において、スタート信号(SSP)を外部に出力する第1信号発生回路と、第1クロック信号を外部に出力する第2信号発生回路と、ロード信号(LOAD)を外部に出力する第3信号発生回路と、周波数を有するソース映像信号を外部に出力させるための発生手段と、極性を有する信号を外部に出力するための第4信号発生回路と、データラッチから映像信号の極性を反転させる極性反転回路は図示が省略されている。また、3種の映像信号A-Cは、例えば、それぞれ各ピクセルのR、G、Bの値である。

【0024】 $m$ ビットのシフトレジスタ21には、周波数の $1/2$ のソースクロック(SCL)が印加され、このソースクロックとソーススタートパルス(SSP)によりラッチパルス(図7のSR01, SR02, ...)を発生する。又、ドライバICの外部で奇数、偶数に分離されたデータは、第1データラッチ部22と第2データラッチ部23にそれぞれラッチされる。そして、第1、第2ラッチ部22、23にラッチされた $n$ ビット奇数データの3種と偶数データの3種はシフトレジスタ27のラッチパルスにより $3m \times n$ ビットの奇数ラインの第1ラッチ25aと偶数ラインの第1ラッチ26aにそれぞれラッチされる。

【0025】第1ラッチライン25a、26aに貯蔵された一水平ラインのディスプレイデータは、ロード信号

の1度で、奇数と偶数の第2ラインラッチ25b、26bに貯蔵されると共に次のラインのデータはシフトレジスタのラッチパルスにより第1ラインラッチ25a、26aに順次にラッチされる。奇数と偶数の第2ラインラッチ25b、26bに貯蔵されたラインデータはそれぞれのD/A変換器27、28により2つの基準電圧の中で該電圧を選択するようになる。

【0026】この際、ライン変換ロジック24は、電圧の極性を切換って反転(Inversion)を容易にする。選択された基準電圧は、データ出力回路29、30を介して十分な駆動能力と出力電圧偏差の少ない安定された電圧として液晶に印加される。

【0027】一方、上記の実施の形態において、データを到着する順序どおりに第1、第2ラッチ部22、23に貯蔵させて動作させ、2つのデータ出力回路29、30の出力端子を3個ずつ交互に液晶パネルのデータラインと連結させる方法もある。

【0028】発明の実施の形態2。図6は、本発明の実施の形態2である。

【0029】実施の形態1では、データを奇数と偶数と分離したが、本実施の形態では、3つのデータラッチ部32、33、34を設け、第1データラインのデータは第1ラッチ部32に、第2データラインのデータは第2ラッチ部33に、第3データラインのデータは第3ラッチ部34に印加し、第4データライン、第5データライン、第6データラインのデータを再び第1、第2、第3ラッチ部にそれぞれ印加する方法でデータを分離する。

【0030】又、シフトレジスタ31には並列駆動しない場合の $1/3$ の周波数を印加することにより、結局、データドライバICの動作周波数を $1/3$ に減少させ得る。

【0031】その以外の動作は、実施の形態1と同様である。

【0032】上記の発明の実施の形態1、2は、データドライバを液晶パネルの一方にのみ取り付けただけであるが、このようなドライバを図2に示すようにダブル構造に形成すると、メイン駆動周波数を2倍も減少させ得る。

#### 【0033】

【発明の効果】上述したような本発明の液晶表示装置の駆動装置は、次のような効果がある。

【0034】すなわち、本発明の駆動装置はメイン駆動周波数を $1/2$ 又は $1/3$ にドライバ自体で低くすることにより、外部のメモリ及び回路を無くし、高周波EMI等に有利であるモジュールにより作ることができ、共にコストの節減、製品の目方及び体積の減少、消費電力の減少等の効果が得られる。

【0035】又、ノートパーソナルコンピューター及びモニタにXGA、EWS解像度をシングル、又はダブル構造で実現できる。

## 【図面の簡単な説明】

【図1】一般的な液晶表示装置の構成ブロック図。

【図2】一般的なダブルドライバを有する液晶表示装置の構成ブロック図。

【図3】従来の液晶表示装置のデータドライバの構成ブロック図。

【図4】図3のドライバの動作タイミング図。

【図5】本発明の実施の形態1の液晶表示装置のデータドライバの構成ブロック図。

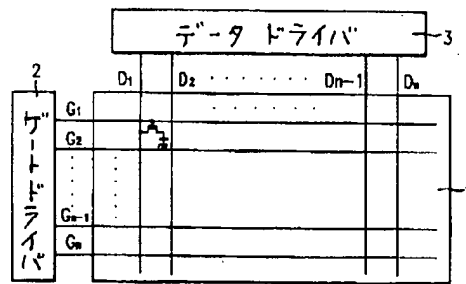
【図6】本発明の実施の形態2の液晶表示装置のデータドライバの構成ブロック図。

【図7】本発明の実施の形態1のドライバの動作タイミング図。

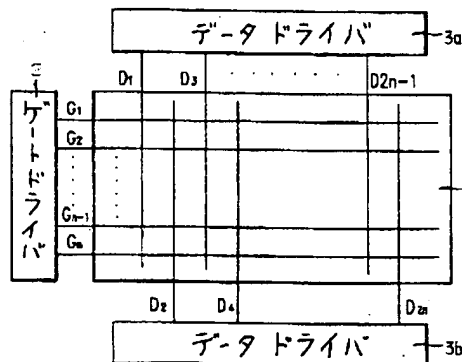
## 【符号の説明】

- 21、31 シフトレジスタ  
 22、23、32、33、34 データラッチ部  
 24、35 ライン変換ロジック  
 25、26、36、37、38 ラインラッチ部  
 25a、25b、26a、26b、36a、36b、37a、37b、38a、38b ラインメモリ  
 27、28、39、40、41 D/A変換器  
 29、30、42、43、44 データ出力回路

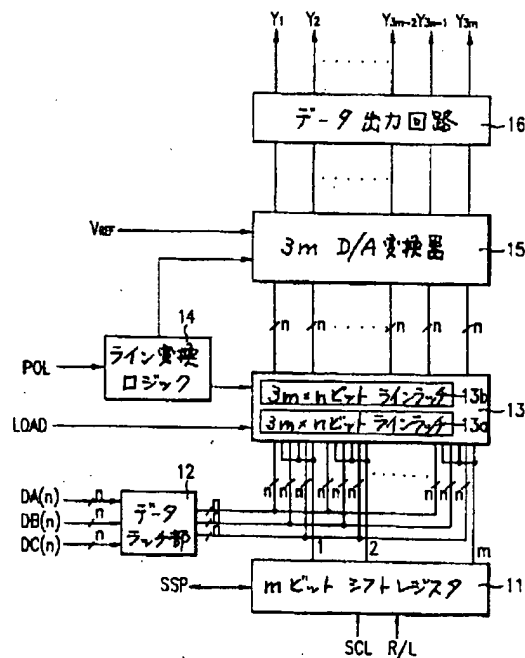
【図1】



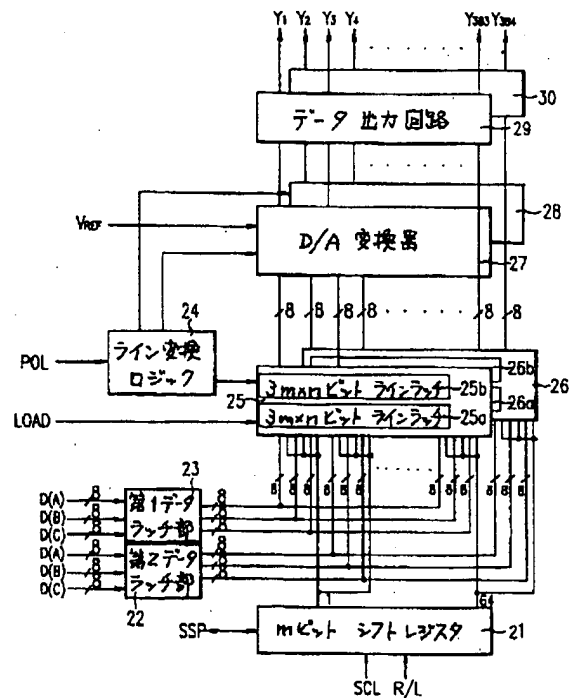
【図2】



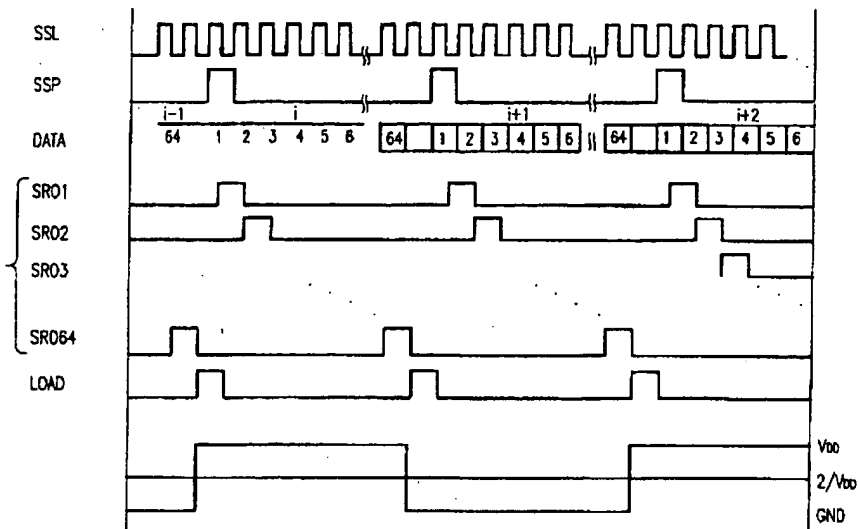
【図3】



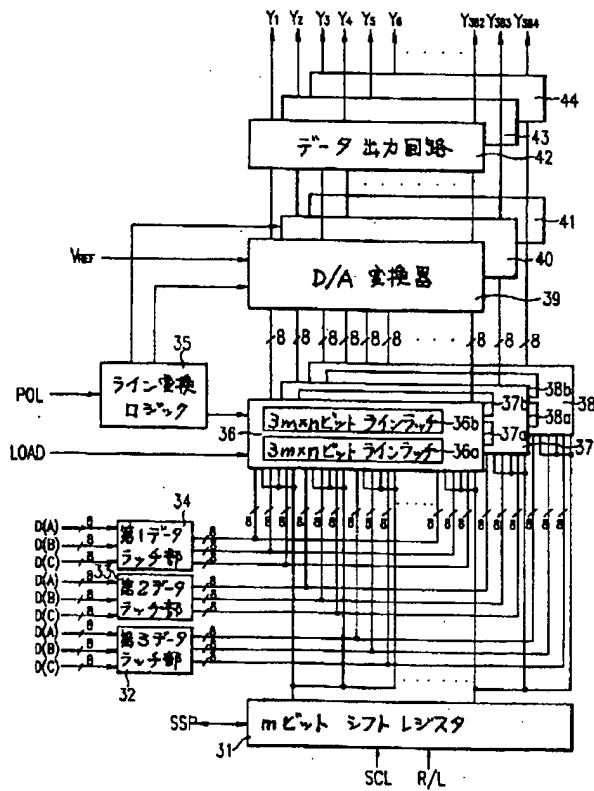
【図5】



【図4】



【図6】



【図7】

